

CLIPPEDIMAGE= JP406163891A
PAT-NO: JP406163891A
DOCUMENT-IDENTIFIER: JP 06163891 A
TITLE: THIN FILM TRANSISTOR

PUBN-DATE: June 10, 1994

INVENTOR-INFORMATION:

NAME

NISHIHARA, YOSHIO
YAMAMOTO, SHIGERU

ASSIGNEE-INFORMATION:

NAME

FUJI XEROX CO LTD

COUNTRY
N/A

APPL-NO: JP03052513

APPL-DATE: March 18, 1991

INT-CL (IPC): H01L029/784; G02F001/136

US-CL-CURRENT: 257/72

ABSTRACT:

PURPOSE: To provide a thin film transistor in which the mounting area of an insulating substrate can be reduced.

CONSTITUTION: Semiconductor films 14 which constitute a thin film transistor 8 and are indispensably formed on an insulating substrate 1 are piled up upon another at the intersection between the signal lines 4 and 5 of the thin film transistor 8. As a result, the area on the substrate 1 which can be used for forming another constituent, such as a display element 7 can be increased.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-163891

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/136	5 0 0	9018-2K 9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平3-52513

(22)出願日 平成3年(1991)3月18日

(71)出願人 000005496

富士ゼロックス株式会社
東京都港区赤坂三丁目3番5号

(72)発明者 西原 義雄

神奈川県海老名市本郷2274番地富士ゼロ
ックス株式会社海老名事業所内

(72)発明者 山本 滋

神奈川県海老名市本郷2274番地富士ゼロ
ックス株式会社海老名事業所内

(74)代理人 弁理士 吉田 精孝 (外1名)

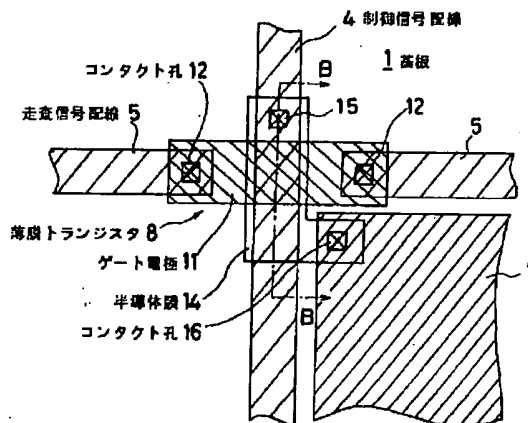
(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【目的】 絶縁基板上における搭載面積を低減できる薄膜トランジスタを提供すること。

【構成】 絶縁基板1上に形成することが不可欠な薄膜トランジスタの信号配線4と信号配線5との交差部に、薄膜トランジスタ8を構成する半導体膜14を積層配置する。

【効果】 他の構成部分、例えば表示素子7を形成可能な前記絶縁基板1上の面積を増大させることができる。



【特許請求の範囲】

【請求項1】 絶縁基板上に形成された、交差する第1の信号配線及び第2の信号配線、並びにこれらに接続された半導体膜とを有する薄膜トランジスタにおいて、前記第1の配線と前記第2の配線との交差部に前記半導体膜を積層配置してなる、ことを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリックス表示装置の画素選択等に用いられる薄膜トランジスタに関するものである。

【0002】

【従来の技術】従来、アモルファスシリコン薄膜トランジスタを画素選択用スイッチとして用いたアクティブマトリックス駆動のフラットパネルディスプレイが実用化されている。さらに最近では、ポリシリコン薄膜トランジスタを用いて、前述したアクティブマトリックスの駆動回路をフラットパネルディスプレイと同一基板上に形成したアクティブマトリックス表示装置も知られている。

【0003】このアクティブマトリックス表示装置の構成図を図2に示す。図において、1はガラス等からなる絶縁基板（以下、基板と称する）で、この表面には信号回路2及び走査回路3が形成され、これらのそれぞれに接続された複数の制御信号配線4、走査信号配線5が互いに直交するように形成されている。これにより、基板1の表面は複数の画素領域6に区分され、各画素領域6にはそれぞれ、例えばLC等の表示素子7と薄膜トランジスタ8が配設されている。薄膜トランジスタ8のそれぞれのゲート及びドレインは対応する走査信号配線5、制御信号配線4に接続されている。

【0004】即ち、図3及び図4に示すように、走査信号配線5は製造上、制御信号配線4との交差部において制御信号配線4との接触を避けるために断線して形成され、制御信号配線4上に絶縁膜（図示せず）を介して形成されたL字形状のゲート電極11及びこのゲート電極11と走査信号配線5とを導通するコンタクト孔12によって電気的に接続されている。また、制御信号配線4と平行に延びるゲート電極11の下側には絶縁膜13を介して走査信号配線5と平行に延びる所定形状の半導体膜14がパターン形成されている。この半導体膜14の一端側はコンタクト孔15によって制御信号配線4に導通接続され、他端側はコンタクト孔16によって表示素子7に導通接続されている。

【0005】ゲート電極11及び半導体膜14によって図5に示す薄膜トランジスタ8が形成され、走査信号配線5を介して走査回路3からゲート信号が入力されたときに、制御信号配線4を介して信号回路2から半導体膜14の一端側（ドレイン）に印加されている電圧が他端

側（ソース）に伝達されて表示素子7に印加される。これにより、表示対象の文字、画像等が表示される。

【0006】

【発明が解決しようとする課題】しかしながら、前述したアクティブマトリックス表示装置では、薄膜トランジスタ8が画素領域6内に形成されているため、表示素子7を配設する領域が少なくなり、高精細度の表示装置を作成した場合、制御信号配線4及び走査信号配線5を細く形成するには限界があるので、画素の開口率が低下し、表示画面が暗くなるという問題点があった。

【0007】本発明の目的は上記の問題点に鑑み、絶縁基板上における占有面積を低減できる薄膜トランジスタを提供することにある。

【0008】

【課題を解決するための手段】本発明は上記の目的を達成するために、絶縁基板上に形成された、交差する第1の信号配線及び第2の信号配線、並びにこれらに接続された半導体膜とを有する薄膜トランジスタにおいて、前記第1の信号配線と前記第2の信号配線との交差部に前記半導体膜を積層配置してなる薄膜トランジスタを提案する。

【0009】

【作用】本発明によれば、絶縁基板上に形成することが不可欠な第1の信号配線と第2の信号配線との交差部に半導体膜が積層配置されて、薄膜トランジスタが形成される。

【0010】

【実施例】以下、本発明の薄膜トランジスタを前述したアクティブマトリックス表示装置に適用した実施例について説明する。

【0011】図1は本発明の第1の実施例を示す平面構成図、図6は図1におけるB-B線矢視方向の断面図である。図において、前述した従来例と同一構成部分は同一符号をもって表し、その説明を省略する。また、従来例と第1の実施例との相違点は、半導体膜14を制御信号配線4と走査信号配線5との交差部に積層配置して薄膜トランジスタ8を形成したことにある。

【0012】即ち、前記交差部となる所に、走査信号線5と絶縁され、走査信号線5に対して直交する方向に延びる略L字形状の半導体膜14をポリシリコン膜によって形成する。次いで、半導体膜14の長手方向の中央部にSiO₂等の絶縁膜13を介してポリシリコンを用いてゲート電極11を形成する。このとき、ゲート電極11は半導体膜14を跨いで走査信号配線5に沿うように延ばして形成する。

【0013】次に、イオン注入法を用いて、半導体膜14の長手方向の両端部にドレイン領域14a及びソース領域14bを形成した後、この上にSiO₂等の絶縁膜13を着膜すると共に、前記ドレイン領域14a及びソース領域14bのそれぞれに対応する位置にコンタクト

孔15、16を、またゲート電極11の両端にコンタクト孔12をそれぞれ形成する。このとき、コンタクト孔16は、制御信号配線4に対して垂直に延びる一片の先端部に形成し、制御信号配線4と重ならないようにする。

【0014】この後、アルミニウム等によって半導体膜14に重なるように制御信号配線4を、またゲート電極11に重なるように走査信号線5をそれぞれ形成し、コンタクト孔15を介して制御信号配線4と半導体膜14を接続すると共に、コンタクト孔12を介して走査信号線5とゲート電極11を接続する。さらに、制御信号配線4と走査信号配線5によって囲まれた画素領域6（図2参照）に、酸化インジウムスズ（ITO）等の透明導電材で表示素子7の電極を形成し、コンタクト孔16を介してソース領域14bと接続する。

【0015】前述したように、薄膜トランジスタ8は、基板1上に形成することが不可欠な制御信号配線4と走査信号配線5との交差部に積層配置されるので、基板上における占有面積を低減できる。これにより、画素領域6のほぼ全域に表示素子7を形成することができるので、高精細度の表示装置を作成した場合において、従来に比べて開口率を大幅に向上させることができ、表示画面の輝度を高めることができる。

【0016】次に、本発明の第2の実施例を説明する。図7は第2の実施例の要部を示す平面構成図、図8は図7におけるC-C線矢視方向の断面図である。図において第1の実施例と同一構成部分は同一符号をもって表し、その説明を省略する。

【0017】また、第1の実施例と第2の実施例との相違点は、走査信号配線5をチタン（Ti）或いはモリブデン（Mo）を用いて形成することにより、走査信号配線5とゲート電極11とを一体としたことにある。

【0018】即ち、基板1上の制御信号配線4と走査信号配線5との交差予定位置に第1の実施例と同様の半導体膜14を形成する。次いで、半導体膜14の長手方向の中央部にSiO₂等の絶縁膜13を介してチタン或いはモリブデンによって走査信号配線5を形成する。このとき、走査信号配線5は半導体膜14を跨いで半導体膜14と直交するように延ばして形成する。

【0019】次に、イオン注入法を用いて、半導体膜14の長手方向の両端部にドレイン領域14a及びソース領域14bを形成した後、この上にSiO₂等の絶縁膜13を着膜すると共に、前記ドレイン領域14a及びソース領域14bのそれぞれに対応する位置にコンタクト孔15、16を形成する。このとき、コンタクト孔16は、制御信号配線4に対して垂直に延びる一片の先端部に形成し、制御信号配線4と重ならないようにする。この後、アルミニウム等によって半導体膜14に重なるように制御信号配線4を形成し、コンタクト孔15を介して制御信号配線4と半導体膜14を接続する。さらに、

制御信号配線4と走査信号配線5によって囲まれた画素領域6に、酸化インジウムスズ（ITO）等の透明導電材で表示素子7の電極を形成し、コンタクト孔16を介してソース領域14bと接続する。

【0020】第2の実施例においても、薄膜トランジスタ8は、基板1上に形成することが不可欠な制御信号配線4と走査信号配線5との交差部に積層配置されるので、基板1上における占有面積を低減できる。これにより、画素領域6のほぼ全域に表示素子7を形成することができるので、高精細度の表示装置を作成した場合において、従来に比べて開口率を大幅に向上させることができ、表示画面の輝度を高めることができる。さらに、製造工程を短縮することができる。

【0021】次に、本発明の第3の実施例を説明する。図9は第3の実施例の要部を示す平面構成図、図10は図9におけるD-D線矢視方向の断面図である。図において第1の実施例と同一構成部分は同一符号をもって表し、その説明を省略する。

【0022】また、第1の実施例と第3の実施例との相違点は、薄膜トランジスタ8を、アモルファスシリコンを用いた逆スタガード構造に形成したことにある。この薄膜トランジスタ8の形成手順は次の通りである。

【0023】即ち、基板1上の所定位置にチタン或いはモリブデンにより走査信号配線5を形成した後、SiO₂等のゲート絶縁膜20を着膜する。次に、制御信号配線4と走査信号配線5との交差予定位置に、走査信号線5に対して直交する方向に延びる略L字形状の半導体膜21をアモルファスシリコンによって形成する。次いで、半導体膜21の長手方向の両端部にn+層又はp+層からなるドレイン電極22及びソース電極23を形成する。

【0024】次に、この上にSiO₂等の絶縁膜24を着膜すると共に、前記ドレイン電極22及びソース電極23のそれぞれに対応する位置にコンタクト孔25、26を形成する。このとき、コンタクト孔25は、制御信号配線4に対して垂直に延びる一片の先端部に形成し、制御信号配線4と重ならないようにする。この後、アルミニウム等によって半導体膜21に重なるように制御信号配線4を形成し、コンタクト孔25を介して制御信号配線4と半導体膜21を接続する。さらに、制御信号配線4と走査信号配線5によって囲まれた画素領域6に、酸化インジウムスズ（ITO）等の透明導電材で表示素子7の電極を形成し、コンタクト孔26を介してソース電極23と接続する。

【0025】第3の実施例によっても、薄膜トランジスタ8は、基板1上に形成することが不可欠な制御信号配線4と走査信号配線5との交差部に積層配置されるので、基板上における占有面積を低減できる。これにより、画素領域6のほぼ全域に表示素子7を形成することができるので、高精細度の表示装置を作成した場合にお

いて、従来に比べて開口率を大幅に向上させることができる、表示画面を明るくすることができる。

【0026】次に、本発明の第4の実施例を説明する。図11は第4の実施例の要部を示す平面構成図、図12は図11におけるE-E線矢視方向の断面図である。図において、第3の実施例と同一構成部分は同一符号をもって表し、その説明を省略する。

【0027】また、第3の実施例と第4の実施例との相違点は、薄膜トランジスタ8を、アモルファスシリコンを用いた順スタガード構造に形成したことにある。この薄膜トランジスタ8の形成手順は次の通りである。

【0028】即ち、基板1上の制御信号配線4と走査信号配線5との交差予定位置に、制御信号配線4の延びる方向に所定の間隔をあけてn+層又はp+層からなるドレイン電極22及びソース電極23を形成する。このとき、ソース電極23の一部が制御信号配線4と重ならないように形成する。この後、ドレイン電極22とソース電極23に跨がって半導体膜21を形成する。

【0029】さらに、半導体膜21の長手方向の中央部にSiO₂等の絶縁膜24を介してチタン或いはモリブデンによって走査信号配線5を形成する。このとき、走査信号配線5は半導体膜21を跨いで半導体膜21と直交するように延ばして形成する。

【0030】次に、この上にSiO₂等の絶縁膜24を着膜すると共に、前記ドレイン電極22及びソース電極23のそれぞれに対応する位置にコンタクト孔25、26を形成する。このとき、コンタクト孔26は、制御信号配線4と重ならない部分に形成する。この後、アルミニウム等によって半導体膜21に重なるように制御信号配線4を形成し、コンタクト孔24を介して制御信号配線4と半導体膜21を接続する。さらに、制御信号配線4と走査信号配線5によって囲まれた画素領域6に、酸化インジウムスズ(ITO)等の透明導電材で表示素子7の電極を形成し、コンタクト孔26を介してソース電極23と接続する。

【0031】第4の実施例によっても、薄膜トランジスタ8は、基板1上に形成することが不可欠な制御信号配線4と走査信号配線5との交差部に積層配置されるので、基板上における占有面積を低減できる。これにより、画素領域6のほぼ全域に表示素子7を形成することができるので、高精細度の表示装置を作成した場合において、従来に比べて開口率を大幅に向上させることができ、表示画面の輝度を高めることができる。

【0032】尚、本実施例では、本発明の薄膜トランジ

スタをアクティブマトリックス表示装置に適用して説明したが、これに限定されることはなく、他の装置に適用した場合には、他の構成部分を形成可能な前記絶縁基板上の面積を増大させることができるので、装置(電子回路)の集積化をさらに向上させることができる。

【0033】

【発明の効果】以上説明したように本発明によれば、絶縁基板上に形成することが不可欠な第1の信号配線と第2の信号配線との交差部に半導体膜が積層配置されて、薄膜トランジスタが形成されるので、他の構成部分を形成可能な前記絶縁基板上的面積を増大させることができる。これにより、前記薄膜トランジスタをアクティブマトリックス表示装置に用いた場合には、画素の開口率を大幅に向上させることができ、高精細度の表示装置においても輝度を高めることができる。また、他の装置に用いた場合には、装置(電子回路)の集積化をさらに向上させることができるという非常に優れた効果を奏するものである。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の薄膜トランジスタの平面構成図

【図2】 アクティブマトリックス表示装置の構成図

【図3】 従来例の薄膜トランジスタの平面構成図

【図4】 図3におけるA-A線矢視方向の断面図

【図5】 従来例の薄膜トランジスタの等価回路図

【図6】 図1におけるB-B線矢視方向の断面図

【図7】 本発明の第2の実施例の薄膜トランジスタの平面構成図

【図8】 図7におけるC-C線矢視方向の断面図

【図9】 本発明の第3の実施例の薄膜トランジスタの平面構成図

【図10】 図9におけるD-D線矢視方向の断面図

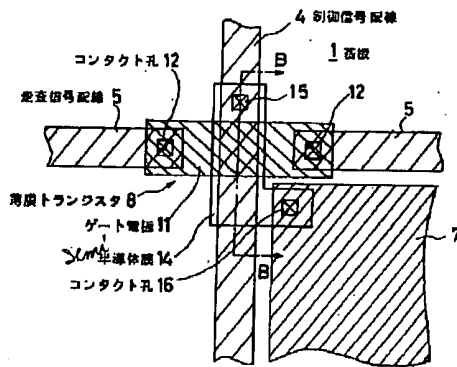
【図11】 本発明の第4の実施例の薄膜トランジスタの平面構成図

【図12】 図11におけるE-E線矢視方向の断面図

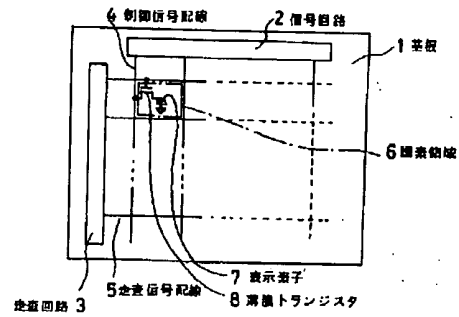
【符号の説明】

1…絶縁基板、2…信号回路、3…走査回路、4…制御信号配線、5…走査信号配線、6…画素領域、7…表示素子、8…薄膜トランジスタ、11…ゲート電極、12、15、16、25、26…コンタクト孔、13、24…絶縁膜、14、21…半導体膜、14a…ドレイン領域、14b…ソース領域、20…ゲート絶縁膜、22…ドレイン電極、23…ソース電極。

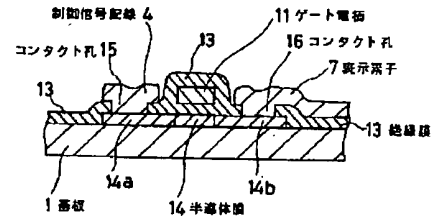
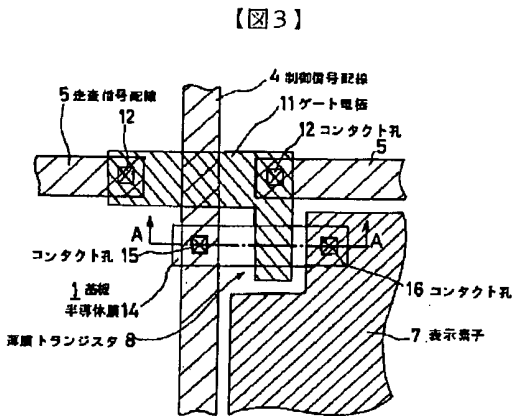
【図1】



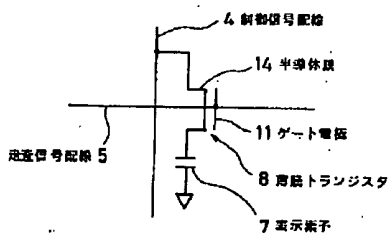
【図2】



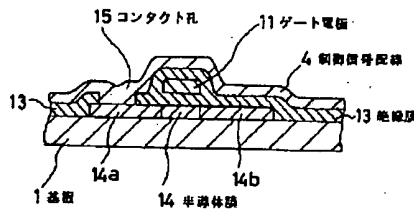
【図4】



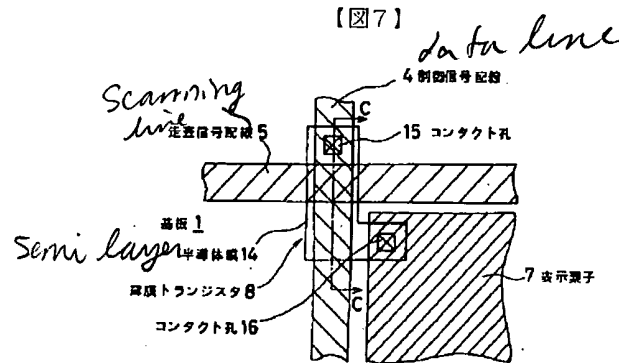
【図5】



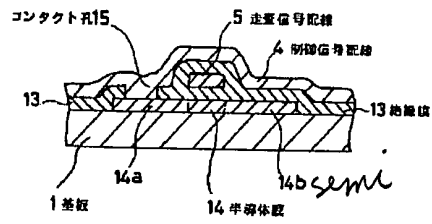
【図6】



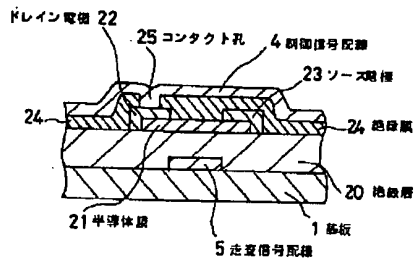
【図7】



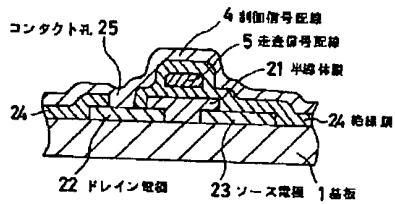
【図8】



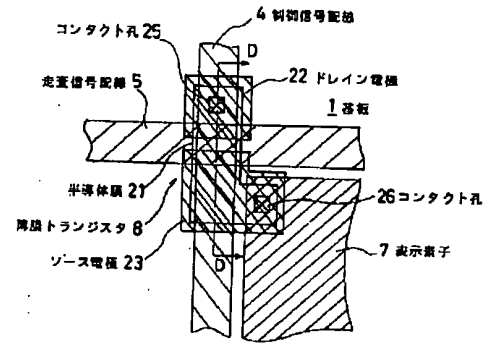
【図10】



【図12】



【図9】



【図11】

